

寄生参数对并联 SiC MOSFET 电流不均衡的影响

张永刚^{1,2,3}, 宁平凡^{1,2,3}, 刘 婕^{1,3}, 王迪迪^{1,3}, 肖宁如³, 李玉强^{1,2,3}

(1.天津工业大学 电气工程与自动化学院,天津 300387;2.天津工业大学 电子与信息工程学院,天津 300387;
3.天津工业大学 大功率半导体照明应用系统教育部工程研究中心,天津 300387)

摘 要 SiC MOSFET 并联使用是提高系统功率密度的有效手段。在高频高压环境中并联使用的 SiC MOSFET,由于寄生电感,寄生电容等因素的差异,导致并联电流难以实现均衡。为分析导致电流不均衡现象的影响因素,本文采用 CREE 公司官网所提供的 spice 模型搭建了相关仿真测试电路。基于数据手册中所提供的器件参数,分别对寄生电容和寄生电感等参数进行差异化设置,利用 PSpice 软件进行仿真。分析了在负载电压为 600 V 时,不同寄生参数对动态和静态电流不均衡的影响程度。最后设计了一种基于阻抗平衡联合磁芯电感的方法对并联 SiC MOSFET 动静态电流不均衡进行抑制,有效抑制了并联 SiC MOSFET 电流不均衡现象的发生。

关键词 寄生电感;寄生电容;并联 SiC MOSFET;电流不均衡

中图分类号 TN32

文献标识码 A

开放科学(资源服务)标识码(OSID)



The Influence of Parasitic Parameters on Current Imbalance of Parallel SiC MOSFET

ZHANG Yonggang^{1,2,3}, NING Pingfan^{1,2,3}, LIU Jie^{1,3},
WANG Didi^{1,3}, XIAO Ningru³, LI Yuqiang^{1,2,3}

(1.School of Electrical Engineering and Automation, Tiangong University, Tianjin 300387, China; 2.School of Electronics and Information Engineering, Tiangong University, Tianjin 300387, China; 3.Engineering Research Center of Ministry of Education for High-power Semiconductor Lighting Application System, Tiangong University, Tianjin 300387, China)

Abstract The parallel connection of SiC MOSFET is an effective means to increase the power density of the system. For SiC MOSFET used in parallel in high-frequency and high voltage environments, the differences of parasitic inductance, parasitic capacitance and other factors make it difficult to realize the equalization of the parallel current. Therefore, in order to analyze the factors that lead to the current imbalance, this paper uses the spice model provided by CREE company official website to build the related simulation and test circuit. Based on the device parameters provided in the data sheet, the parasitic capacitance and parasitic inductance were differentially set, and simulation was conducted with PSpice software. The influence of

收稿日期:2020-11-01

基金项目:国家自然科学基金项目(11804249);天津市教委科研项目(2018ZD15,2018KJ210)资助

通讯作者:李玉强,男,满族,博士,讲师,研究方向:半导体材料和高压物理, E-mail:liyqiang@tiangong.edu.cn.

different parasitic parameters on the dynamic and static current imbalance at the load voltage of 600V is analyzed. Finally, a method based on impedance balance combined with core inductance is designed to suppress the dynamic and static current imbalance of parallel SiC MOSFET, which can effectively inhibit the current imbalance.

Key words parasitic inductance; parasitic capacitance; parallel SiC MOSFET; current imbalance

0 引言

随着电动汽车、新能源行业等新兴工业领域的发展,电力电子设备的应用领域也越来越广泛。作为功率开关器件的 MOSFET 和 IGBT 更引起研究人员的注意。传统的硅基器件在耐压、工作频率等方面都已经达到其物理极限,远不能满足日益提升的要求^[1],而作为宽禁带半导体代表的 SiC、GaAs 在高温、高压、高频环境下具有较高的热导率和较低损耗等优良的物理特性^[2,3]。因此, SiC MOSFET 在新能源汽车,大功率交流设备中逐步替代传统半导体器件^[4]。SiC MOSFET 制造,封装工艺相较于传统 MOSFET 并不成熟,晶圆尺寸和生长速度也远小于硅。在相同电压等级下,电流耐受程度越高,其制造、使用、后期维护的成本也越高。即使是相同型号的芯片,参数也会有一定的差异性,更大的电流和更高的开关速度下使得寄生参数在开关过程中对并联电流不平衡的影响更明显。如今,对于 SiC MOSFET 的研究主要集中于器件封装^[5],器件模型的建立^[6]以及大规模应用等重要领域^[7],而寄生参数对并联电流不平衡影响的研究相对较少。关于寄生参数研究的方法主要有:(1) 通过实验测量寄生参数的影响^[8],(2) 通过数学公式建立模型,进行相关的理论分析^[9],(3) 通过软件进行仿真,研究寄生参数对于开关和导通过程的影响^[10]。并联 SiC MOSFET 的电流不平衡主要分为动态和静态两个方面。动态电流不平衡是指在开关过程中,漏极电流由于寄生参数,驱动回路等因素所导致的差异。静态电流不平衡是指并联 SiC MOSFET 在完全导通的情况下,由于导通电阻和驱动电压等因素导致的漏极电流不平衡现象。在相同电压等级下采用更高电流等级的碳化硅模块将不存在电流不平衡的问题^[11],同时还能有效降低开关损耗,随着电流等级的提高,碳化硅芯片的制造技术不成熟,产能不足等原因导致的价格偏高,备货不充足等相关问题更严重,难以满足工业生产的需要。对并联芯片进行有效的均流措施可以有效缓解上述问题。因此对并联 SiC MOSFET 电流不平衡影响因素的研究就非常重要,为 SiC MOSFET 更广泛的使用提供理论支持。

本文分析影响并联 SiC MOSFET 电流不平衡的因素,通过仿真实验的方法验证理论分析的正确性。同时还给出了一种基于阻抗平衡联合磁芯电感的方法用以抑制并联电流不平衡,以提高并联 SiC MOSFET 系统的使工作效率。

1 寄生参数对并联 SiC MOSFET 电流不平衡的影响

本文选用 CREE 公司的 C2M008120D 型 SiC MOSFET 为研究对象,采用其官方网站所提供的 spice 模型,搭建相关仿真电路并进行了仿真实验。

图 1 是考虑寄生参数的并联 SiC MOSFET 的仿真测试原理图。图中 V_g 是栅极驱动信号源, R_g 是栅极驱动电阻,包括 SiC MOSFET 内部栅极驱动和外部驱动两部分, DUT1, 2 是两个并联使用的 SiC MOSFET 被测芯片模型。 $L_{g1,2}$ 分别是两个被测芯片的栅极寄生电感, $L_{d1,2}$ 是漏极寄生电感, $L_{s1,2}$ 是源极寄生电感。 $C_{gd1,2}$ 是栅漏极寄生电容, $C_{gs1,2}$ 是栅源极寄生电容, $C_{ds1,2}$ 漏源极寄生电容。 C_{bus} 是母线电容, V_{DD} 作为直流负载电压,设置为 600 V。由数据手册及 spice 模型的库文件得 C2M008120D 部分参数如表 1 所示。

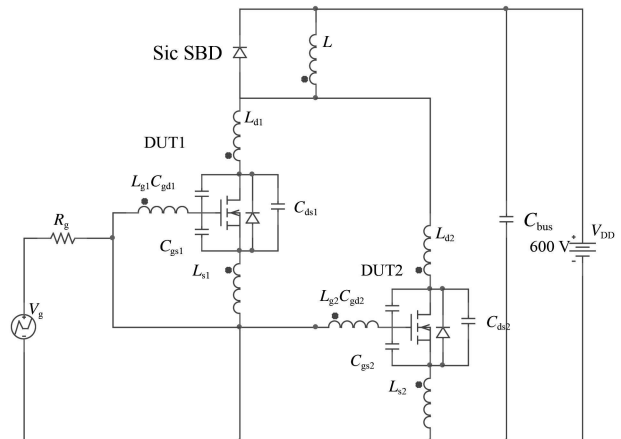


图 1 考虑寄生参数的并联 SiC MOSFET

表 1 基于数据手册的 C2M008120D 静态参数

物理属性	中文名称	典型数值	单位	测试条件
$V_{(BR)DSS}$	漏极击穿电压	1200	V	$V_{gs}=20\text{ V}$
$V_{GS(th)}$	阈值电压	2.2	V	$i_d=20\text{ A}$
R_{dson}	导通电阻	80/150	$m\Omega$	$T_J=25/150\text{ }^\circ\text{C}$
g_f	跨导	9.8/8.5	S	-
C_{iss}	输入电容	950	pF	
C_{oss}	输出电容	80	pF	$V_{gs}=0\text{ V}$
C_{rss}	反向传输电容	6.5	pF	$V_{ds}=1000\text{ V}$
L_s	栅极寄生电感	15	nH	$f=1\text{ MHz}$
L_d	漏极寄生电感	6	nH	
L_g	源极寄生电感	9	nH	

1.1 栅极寄生电感 L_g 对并联 SiC MOSFET 电流不均衡的影响

驱动回路中的栅极寄生电感 L_g , 来源于驱动引线长度和封装过程中引脚长度。栅极寄生电感 L_g 对输入电容 C_{iss} 的充放电速度和开关振荡势必有一定的影响。在仿真实验的过程中仅考虑栅极寄生电感 L_g 的差异, 保持栅极寄生电感 L_{g1} 为 1 nH 不变, 另一支路上栅极寄生电感 L_{g2} 分次设置为 10、20、30 nH, 用以模拟不同栅极寄生电感下, 对并联漏极电流 i_d 的影响程度, 其仿真结果如图 2 所示。

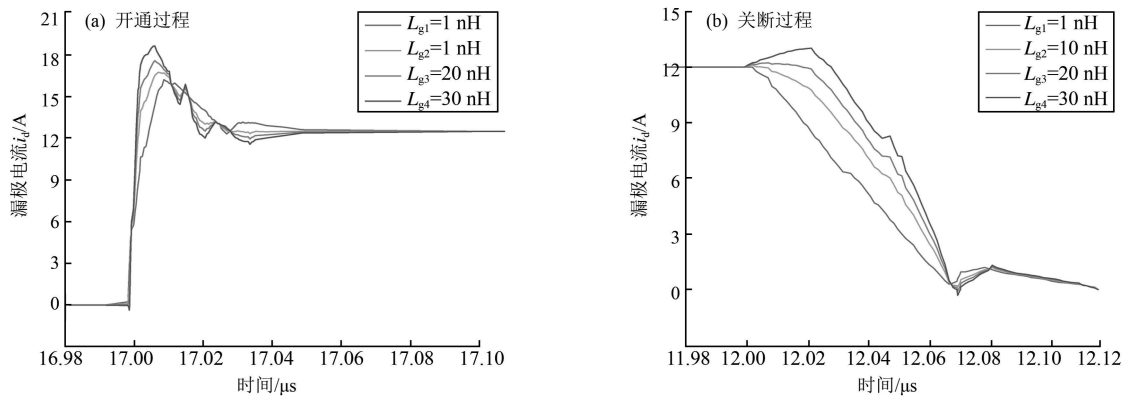


图 2 栅极寄生电感对并联电流不均衡的影响

在并联使用的开通过程中, 并联支路上的漏极电流分别为

$$i_{d1} = g_m (U_g - L_{g1} i_g - V_{th}), \quad (1)$$

$$i_{d2} = g_m (U_g - L_{g2} i_g - V_{th}), \quad (2)$$

g_m 表示器件的跨导, $i_{g1,2}$ 表示栅极驱动电流。在该过程中的电流不均衡度为

$$\lambda = \frac{i_{d1}}{i_{d2}} = \frac{g_m (U_g - L_{g1} i_g - V_{th})}{g_m (U_g - L_{g2} i_g - V_{th})}. \quad (3)$$

由公式(3)以及仿真结果可知, 栅极电感小的器件比栅极电感大的器件更早开通, 而栅极电感大的, 需要分担的电流也更多。栅极寄生电感 L_g 只有在差异较大的情况下才会对并联 SiC MOSFET 开关过程中的电流产生影响, 当两并联 SiC MOSFET 完全导通后, 栅极寄生电感 L_g 对静态电流均衡并无明显的影响。

1.2 漏极寄生电感 L_d 对并联 SiC MOSFET 电流不均衡的影响

漏极寄生电感源于器件封装过程和布线结构, 漏极寄生电感 L_d 与寄生二极管在导通后形成振荡回路, 引起电流振荡, 在关断过程中, 漏源极电容 C_{gs} 开始充电过程, 关断后与之形成振荡回路。在仿真实验的过程中仅考虑漏极寄生电感的差异, 保持栅极寄生电感 L_{d1} 为 6 nH 保持不变, 另一支路上漏极寄生电感分次设置为 4、8、10 nH, 用以模拟不同栅极寄生电感下, 对并联漏极电流 i_d 的影响程度, 开关过程的仿真结果如

图 3 所示,完全导通的仿真结果如图 4 所示。

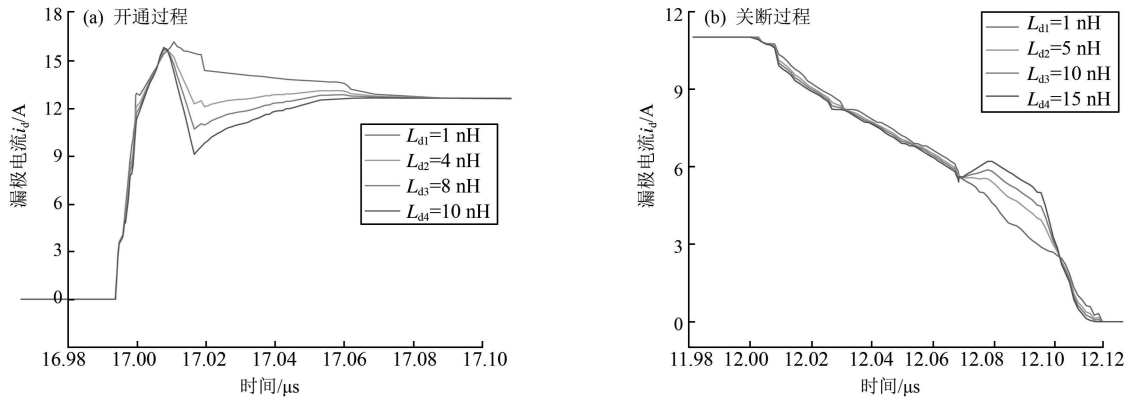


图 3 漏极寄生电感对并联电流不平衡的影响

由仿真结果可知,漏极寄生电感 L_d 对开关过程及导通后的电流不平衡均有较大的影响。漏极电感较大的支路,电流过冲较大,更容易引起电流振荡现象的发生,这也是导致器件损坏的重要原因之一。图 4 中,12 μs 时并联器件由完全导通进入关断状态,电流急剧下降。在完全导通后,由戴维南定理(Thevenin's theorem)得

$$L_{d1} \frac{d_{i1}}{d_t} + R_{d_{son1}} i_{d1} = L_{d2} \frac{d_{i2}}{d_t} + R_{d_{son2}} i_{d2} = U_{dc} - L \frac{d_{iL}}{d_t}, \quad (4)$$

式(4)中的 d_i/d_t 是电流变化率, $R_{d_{son}}$ 是导通电阻。 i_d 是漏极电流, U_{dc} 是母线电压,当导通电阻恒定时,此时的电流差异可以表示为

$$i_m = i_{d1} - i_{d2} = \frac{L_{d1} - L_{d2}}{2R_{d_{son}}} \frac{U_{DD}}{L}. \quad (5)$$

漏极寄生电感的差异直接决定了漏极电流在静态过程中的差异。在开关过程中,漏极寄生电感 L_d 和寄生的体二极管形成谐振回路,引起电流振荡,振荡频率为

$$f = \frac{1}{2\pi \sqrt{L_d C_p}}. \quad (6)$$

关断过程中,漏极寄生电容 L_d 完成对漏源极电容 C_{ds} 充电,并与之形成谐振回路,振荡频率为

$$f = \frac{1}{2\pi \sqrt{L_d C_{gs}}}. \quad (7)$$

漏极寄生电感 L_d 主要影响器件在开关过程中电流上升(下降)后的波形,当 L_d 较大的振荡频率小、阻尼系数小,因此,在开关过程中,较大 L_d 支路的电流过冲大同时振荡幅度也较大。

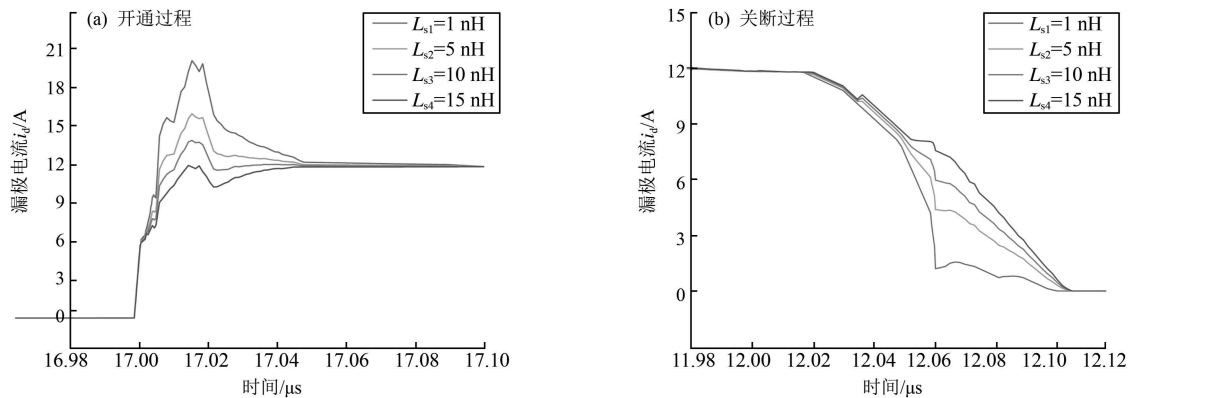


图 4 漏极电感对静态电流不平衡的影响



图 5 源极寄生电感对并联电流不平衡的影响

1.3 源极寄生电感 L_s 对并联 SiC MOSFET 电流不平衡的影响

源极寄生电感 L_s 也是影响并联 SiC MOSFET 电流不平衡的重要因素。在仿真实验的过程中仅考虑源极寄生电感 L_s 的差异,保持源极寄生电感 L_{s1} 为 1 nH 不变,另一支路上漏极寄生电感 L_{s2} 分次设置为 5、10、15 nH,用以模拟不同源极寄生电感下,对并联漏极电流 i_d 的影响程度,其仿真结果如图 5 所示。

源极寄生电感对栅源极电压具有负反馈作用,同时对静态电流几乎为无影响由于在到通知后,电流变化率几乎为零,因此就不会影响电流的变化,如公式(8)所示

$$V_{gs} = V_g - i_g R_g - L_s \frac{d_i}{d_t} \quad (8)$$

在导通过程中,当源极寄生电感较大时, SiC MOSFET 开通较慢,同时承担的电流较小,当并联器件的 L_s 差异增大时, L_s 较小的支路上电流过冲增大。关断过程与之类似。

1.4 栅源极寄生电容 C_{gs} 对并联 SiC MOSFET 电流不平衡的影响

作为电压控制型器件, SiC MOSFET 的开通关断实际上就是对栅极电容充放电的过程,由数据手册可知,器件的在输入电容 C_{iss} 由栅源极电容 C_{gs} 和栅漏极电容 C_{gd} 组成。在仿真实验的过程中仅考虑漏极寄生电感的差异,保持栅源极寄生电容 C_{gs1} 为 900 pF 不变,另一支路上栅源极寄生电容 C_{gs2} 分次设置为 930、960、1000 pF,用以模拟不同栅极寄生电容下,对并联漏极电流 i_d 的影响程度,其仿真结果如图 6 所示。

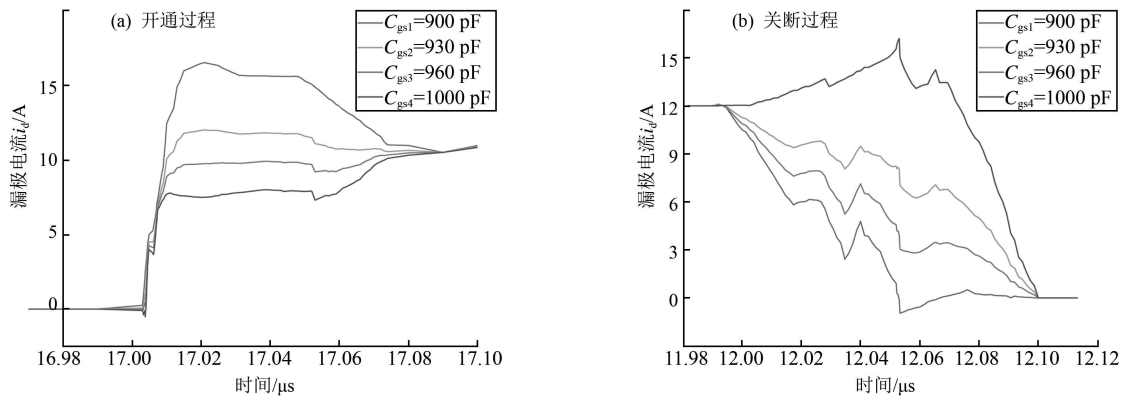


图 6 栅源极寄生电容对并联电流不平衡的影响

从图 6 可以看出,并联 SiC MOSFET 的漏极电流对于栅源极寄生电容非常敏感较小的支路上开关速度较快且漏极电流的波动也很小。在两器件完全导通后,漏极寄生电感 L_d 对静态电流均衡并无明显的影响。 C_{gs} 主要影响栅极电压的上升/下降快慢,在同样的条件下 C_{gs} 较小的器件栅压更早满足阈值,这就直接影响到器件的开关速度。减小栅源极电容与栅极驱动电阻可形成 RC 缓冲电路,可以降低器件的充放电速度,降低器件的开关速度,抑制振荡现象的发生。栅源极寄生电容越大,回路的时间常数越大,充放电时间越长,器件的开关速度越慢。同样,开关速度慢会增加器件损耗,降低器件可工作的开关频率。

SiC MOSFET 的开关过程对 C_{gs} 十分敏感,首先表现在栅极电压的上升/下降速度慢,从而导致了开关过程中电流的不平衡。由于 C_{gs2} 较大,该支路开关速度较慢, C_{gs2} 支路的数值越大,器件开通较慢,它的电流较小。在关断过程中, C_{gs2} 数值越大的支路器件关断更慢,则承受更大的电流。由数据手册可知, SiC MOSFET 的 C_{gd} , C_{ds} 数值较小,不匹配程度也相对小。因此对并联使用的 SiC MOSFET 开关过程中电流不平衡影响也较小,因此文中并未针对上述两参数对并联电流不平衡的抑制进行分析。

2 并联 SiC MOSFET 电流不平衡的抑制

并联 SiC MOSFET 电流均流方法可分为降额法^[12],阻抗平衡法^[13,14]栅极电阻补偿法^[15,16]和有源栅极控制法^[17,18]。本文给出了一种基于阻抗平衡联合磁芯电感的方法用以抑制并联 SiC MOSFET 电路不平衡的现象的发生。

如图 7 所示,是一种基于阻抗平衡和磁芯电感的并联 SiC MOSFET 电流不平衡抑制的电路原理图。其中 R_c 是串联接入并联支路的均流电阻, L_m 表示磁芯电感。在并联 SiC MOSFET 的回路中,

$$U_1 = i_{d1} (R_c + Rd_{son1}), \quad (9)$$

$$U_2 = i_{d2} (R_c + Rd_{son2}). \quad (10)$$

此时,漏极不均衡电流之比

$$\lambda = \frac{i_{d1}}{i_{d2}} = \frac{R_c + Rd_{son1}}{R_c + Rd_{son2}}. \quad (11)$$

将均流电阻 R_c 设置为 1Ω , 远大于数据手册中 $80 \text{ m}\Omega$ 的导通电阻。在导通状态下, 电流处于平衡状态且不会造成过大的损耗。并联 SiC MOSFET 支路中的电流流入匝数、结构完全相同的缠绕在磁芯上的线圈。当并联回路的寄生参数, 功率回路一致时, 漏极流过的电流不会有任何差异。两电流在磁芯中产生的磁通量的矢量和为零, 对流过的电流不会产生作用。相反的, 当电流不均衡, 磁芯电感就会产生相反的磁通相互抵消后的剩余磁通会在磁芯中产生感应电动势, 并作用到电流上升较快的支路上进而使电流趋于平衡状态。由安培环路定理可知

$$ni = \int NH dl = H 2\pi R, \quad (12)$$

式中的 H 表示磁场强度, R 表示磁芯电感的有效半径, n 表示线圈的匝数, i 表示流过线圈的电流大小。两个线圈匝数相同, 线圈回路中的励磁电感 L_m 对两并联支路中电流的不平衡可以起到抑制作用, 其感应电动势 U_f 为

$$U_f = L_m \frac{d\Delta i_d}{dt}. \quad (13)$$

磁感应强度

$$\Delta B = \mu_r \mu_0 (H_1 - H_2), \quad (14)$$

$$S = ah = \frac{1}{2} (R_{max} - R_{min}) h, \quad (15)$$

式中的 B 表示磁感应强度, μ_r 表示磁芯的相对磁导率, μ_0 为空气磁导率, S 为磁芯的横截面积, R_{max} , R_{min} 分别表示磁环内外径的大小。由公式(14)(15)可以得出

$$\Delta B = n\mu_r \mu_0 \frac{i_{d1} - i_{d2}}{2\pi R} = \frac{n\mu_r \mu_0}{2\pi R} \Delta i_d. \quad (16)$$

感应电动势 U_f

$$U_f = L_m \frac{d\Delta i_d}{dt} = \mu_r \mu_0 \frac{n^2 s d}{2\pi R} \frac{d\Delta i_d}{dt}. \quad (17)$$

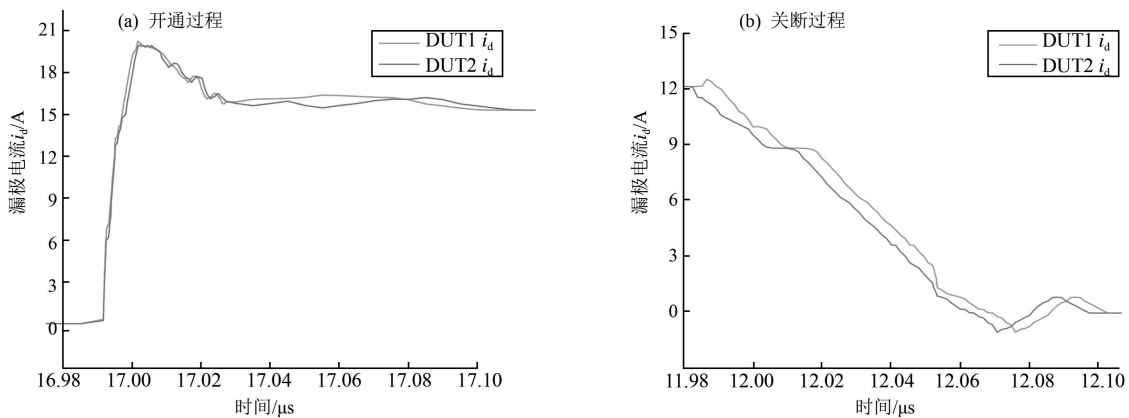


图 8 采取均流措施后开关过程中的漏极电流

磁芯电感抑制电流不平衡的本质在于作用在不平衡电流上的电感是线圈中的励磁电感大于作用在两支

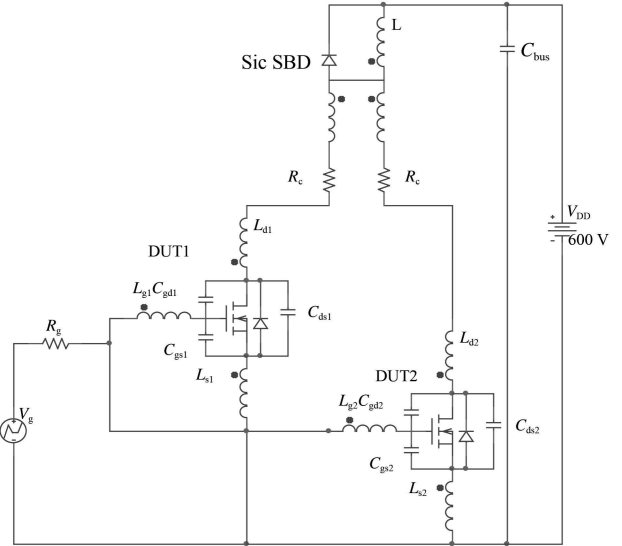


图 7 电路原理图

路电流上的电感。该均流方案适用于所有可能导致电流不平衡因素的抑制,下文将以栅极寄生电容不匹配导致的电流不平衡为例,进行仿真实验的验证。验证结果如图 8 所示。

如图 8 所示,针对栅极寄生电容 C_{gs} 的不匹配所产生的电流不平衡在采用一种基于阻抗平衡和磁芯电感的均流方法后,从图中可以看出相比于原来电流在开关过程中电流不平衡有较大程度的改善。

3 结语

本文针对可能导致并联 SiC MOSFET 电流不平衡的因素,基于 CREE 官网提供的 spice 模型进行了相关的仿真及理论分析。还给出了一种基于阻抗平衡联合磁芯电感的均流方法,该方法能有效抑制各种因素导致的动静态电流不平衡现象的发生。

(1) 并联使用的 SiC MOSFET 可以有效提高系统的功率密度。寄生参数不匹配会导致的并联电流不平衡,严重威胁回路的安全工作。源极寄生电感 L_s 和栅源极寄生电容 C_{gs} 对开关过程中电流不平衡有较大的影响而对导通之后的电流不平衡则影响较小可以忽略。漏极寄生电感 L_d 则主要影响静态电流不平衡而栅极寄生电感 L_g 只有在数值差异较大的情况下才会对动态电流不平衡产生影响。因此,在并联使用 SiC MOSFET 的过程中,芯片的寄生参数不匹配会严重影响到并联电流不平衡程度,进而威胁回路安全工作。

(2) 在并联 SiC MOSFET 工程中,不平衡电流流过均流电阻和磁芯电感,磁芯电感会产生较大的励磁电感,抑制并联过程中的不平衡电流,从而有效改善电流不平衡现象的发生。串联接入的均流电阻和磁芯电感对动静态电流不平衡有良好的抑制效果,能有效保护电路提高工作效率。

参 考 文 献

- [1] 盛况,任娜,徐弘毅.碳化硅功率器件技术综述与展望[J].中国电机工程学报,2020,40(6):1741-1753.
- [2] 李玉强,刘超,柴永灏,等.量子阱厚度和势垒掺杂对大功率 AlGaInP LED 发光效率衰减特性的影响 [J].聊城大学学报(自然科学版),2018,31(4):37-41.
- [3] 盛况,郭清,张军明,等.碳化硅电力电子器件在电力系统的应用展望[J].中国电机工程学报,2012,32(30):1-7.
- [4] 徐德鸿,徐文杰,何国锋,等.新能源对电力电子提出的新课题[J].电源学报,2014,12(6):4-9.
- [5] MITO Z, MAO Y, NGO K, et al. Package influence on the simulated performance of 1.2 kV SiC MOSFET modules[J]. Workshop on Wide-Bandgap Power Devices and Applications, 2015, 16: 306-311.
- [6] 徐国林,朱夏飞,刘先正,等.基于 PSpice 的碳化硅 MOSFET 的建模与仿真[J].智能电网,2015,3(6):507-511.
- [7] 赵斌.SiC 功率器件特性及其在 Buck 变换器中的应用研究 [D].南京:航空航天大学,2014.
- [8] 滕咏喆,高强,张乾,等.考虑器件工作温度影响的 SiC 功率 MOSFET 建模[J].中国电机工程学报,2020,40(3):932-942.
- [9] CHEN K, ZHAO Z, YUAN L, et al. The impact of nonlinear junction capacitance on switching transient and its modeling for SiC MOSFET [J]. Transactions on Electron Devices, 2015, 62(2): 333-338.
- [10] CHEN J F, LIN J N, AI T H. The techniques of the serial and paralleled IGBTs [J]. Conference of the IEEE Industrial Electronics Society, 2002, 2(2): 999-1004.
- [11] JAHLI S, ALATISE O, FISHER C, et al. An evaluation of silicon carbide unipolar technologies for electric vehicle drive-trains[J]. Journal of Emerging & Selected Topics in Power Electronics, 2014, 2(3): 517-528.
- [12] HAIDER S, LI G, WANG K. A dual control strategy for power sharing improvement in islanded mode of AC microgrid[J]. Protection and Control of Modern Power Systems, 2018, 3(2): 111-118.
- [13] 查申森,郑建勇,苏麟,等.大功率 IGBT 并联运行时均流问题研究[J].电力自动化设备,2005,25(7):32-34.
- [14] ABDI B, RANJBAR A H, MALEKIAN K. Problems associated with parallel performance of high current semiconductor switches and their remedy[J]. Automation and Motion, 2008, 4(3): 1379-1383.
- [15] 臧小惠,惠晶,沈锦飞.大容量逆变电源 IGBT 并联应用的仿真分析[J].计算机仿真,2006,23(2):197-199.
- [16] ZHOU Q, GAO F, JIANG T. A gate driver of SiC MOSFET with passive triggered auxiliary transistor in a phase-leg configuration[J]. Energy Conversion Congress & Exposition, 2015 62(8): 7023-7030.
- [17] BORTIS D, BIELA J, KOLAR J W. Active gate control for current balancing of parallel-connected IGBT modules in solid-state modulators [J]. Transactions on Plasma Science, 2008, 36(5): 2632-2637.
- [18] SASAKI M, NISHIO H, NG W T. Dynamic Gate Resistance Control for Current Balancing in Parallel Connected IGBTs[C]. // Applied Power Electronics Conference and Exposition (APEC), 2013.